

浙江大学实验报告

专业： 电子信息工程

姓名： _____

学号： _____

课程名称： 电路与电子技术实验 II

指导老师： 张伟

地点： 紫金港东三 406

实验名称： 触发器

同组学生： _____

日期： 2024 年 5 月 13 日

1 实验目的

1. 掌握集成触发器的功能测试方法。
2. 熟悉触发器的触发方式及触发特点。
3. 了解集成触发器的应用。

2 实验内容

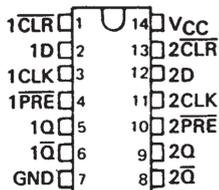
1. 测试 74LS74 和 74LS107 的逻辑功能。
2. D \rightarrow T'、JK \rightarrow T'、D \rightarrow JK 的转换实验。
3. 用 JK 触发器设计一个单发脉冲发生器。

3 实验原理

3.1 74 与 107 芯片简介

74LS74 D 触发器

SN5474 . . . J PACKAGE
SN54LS74A, SN54S74 . . . J OR W PACKAGE
SN7474 . . . N PACKAGE
SN74LS74A, SN74S74 . . . D OR N PACKAGE
(TOP VIEW)



(a) 74LS74 引脚示意图

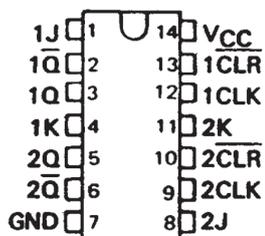
FUNCTION TABLE

INPUTS				OUTPUTS	
PRE	CLR	CLK	D	Q	Q-bar
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H \uparrow	H \uparrow
H	H	\uparrow	H	H	L
H	H	\uparrow	L	L	H
H	H	L	X	Q ₀	Q ₀ -bar

(b) 74LS74 功能表

74LS107 JK 触发器

SN54107, SN54LS107A . . . J PACKAGE
 SN74107 . . . N PACKAGE
 SN74LS107A . . . D OR N PACKAGE
 (TOP VIEW)



(a) 74LS107 引脚示意图

'LS107A
 FUNCTION TABLE

INPUTS				OUTPUTS	
\overline{CLR}	CLK	J	K	Q	\overline{Q}
L	X	X	X	L	H
H	↓	L	L	Q_0	\overline{Q}_0
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	TOGGLE	
H	H	X	X	Q_0	\overline{Q}_0

(b) 74LS107 功能表

3.2 芯片测试要求

1. 测试直接复位端和置位端的功能。
2. 测试逻辑功能，要求在不同输入状态和初始状态。
3. 体会边沿触发的特点。

4 实验过程与结果

4.1 测试 74LS74 双 D 触发器和 74LS107 双 JK 触发器的逻辑功能

4.1.1 74LS74 双 D 触发器

CLR 置零功能 连接芯片，按照 74LS74 的引脚连接方式，接线如下：其中输出端 Q 接示波器，输入使用实验箱中的触控 LED 控制。

Inputs				Outputs	
\overline{PRE}	\overline{CLR}	CLK	D	Q	\overline{Q}
H	L	X	X	L	H

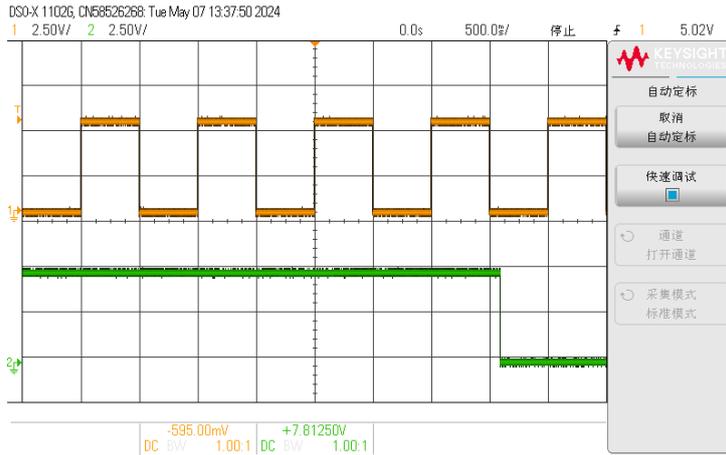


图 3: 74LS74 置零功能示意

PRE 置 1 功能 $\overline{PRE}, \overline{CLR}$ 输入电平更换，其他输入保持不变，观察输出变化。

Inputs				Outputs	
\overline{PRE}	\overline{CLR}	CLK	D	Q	\overline{Q}
L	H	X	X	L	H

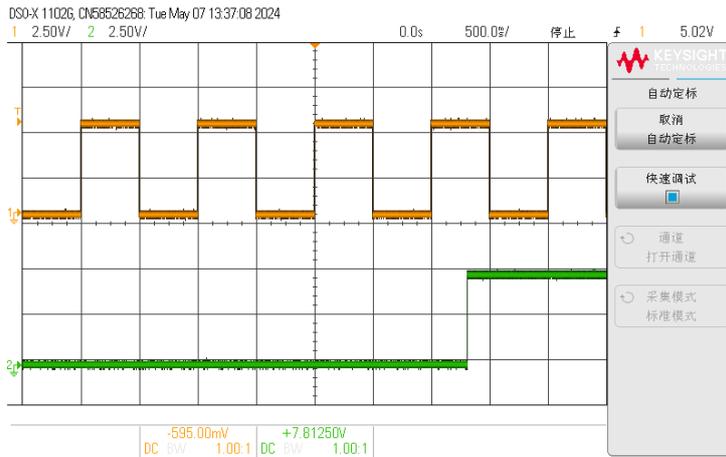


图 4: 74LS74 置 1 功能示意

- 可见芯片的置 0 和置 1 功能正常，且在任何时候均可以进行操作芯片，不必等待时钟信号触发。

功能测试 D 触发器的功能测试如下：

Inputs				Outputs	
\overline{PRE}	\overline{CLR}	CLK	D	Q	\overline{Q}
H	H	↑	H	H	L
H	H	↑	L	L	H



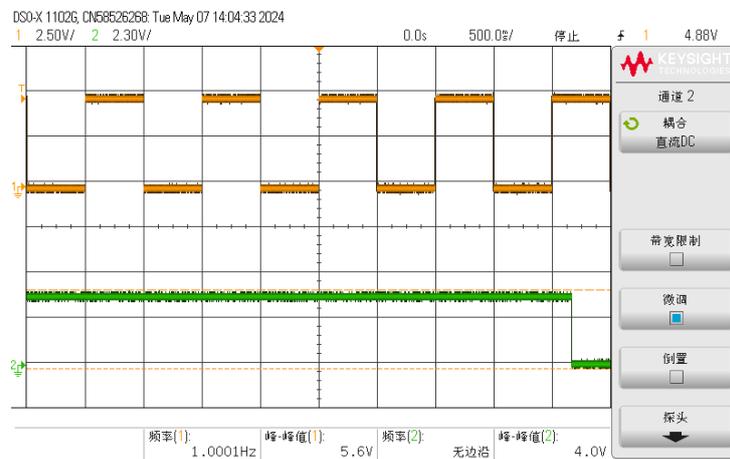
图 5: 74LS74 D 触发器功能测试

- 芯片的置 0 和置 1 功能正常, 随着芯片上升沿的触发, 输出状态发生改变。

4.1.2 74LS107 JK 触发器

CLR 置零功能 连接芯片, 按照 74LS74 的引脚连接方式, 接线如下: 其中输出端 Q 接示波器, 输入使用实验箱中的触控 LED 控制。

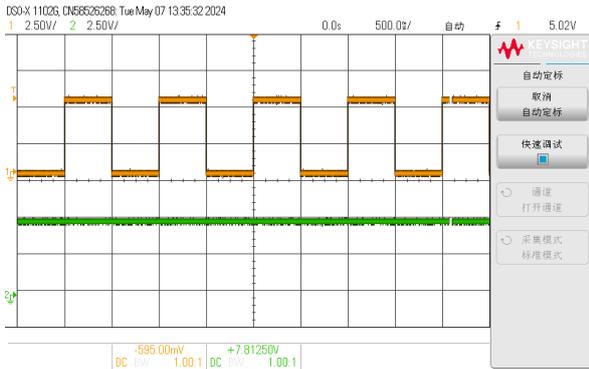
Inputs				Outputs	
\overline{CLR}	CLK	J	K	Q	\overline{Q}
L	X	X	X	L	H



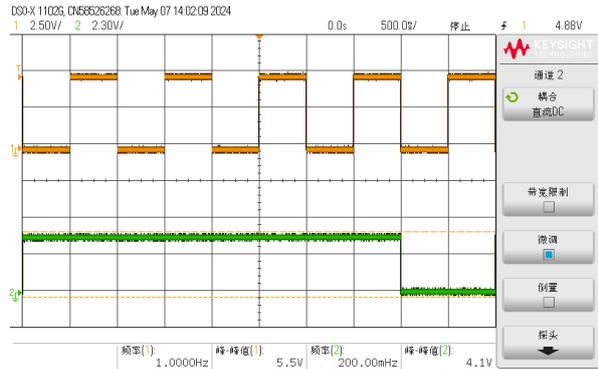
- 可见芯片的置 0 功能正常, 且在任何时候均可以进行操作芯片, 不必等待时钟信号触发。

功能测试 JK 触发器的功能测试如下:

Inputs				Outputs	
\overline{CLR}	CLK	J	K	Q	\overline{Q}
H	↓	L	L	Q_0	\overline{Q}_0
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	Toggle	



(a) 74LS107 $J = 1, K = 0$



(b) 74LS74 $J = 0, K = 1$

图 7: 74LS107 功能 2、3

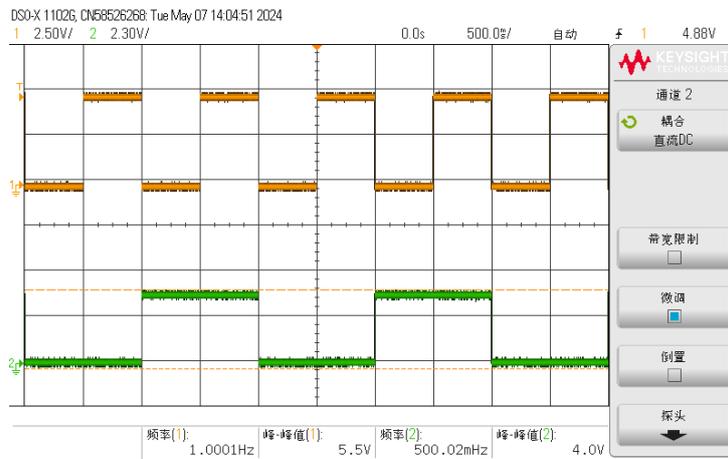


图 8: 74LS107 $J = 1, K = 1$ JK 触发器翻转测试

- 芯片的置 0 和置 1 功能正常, 且由芯片下降沿触发。

4.2 芯片功能转换

4.2.1 D 触发器转 T' 触发器

将电路图连接如下图:

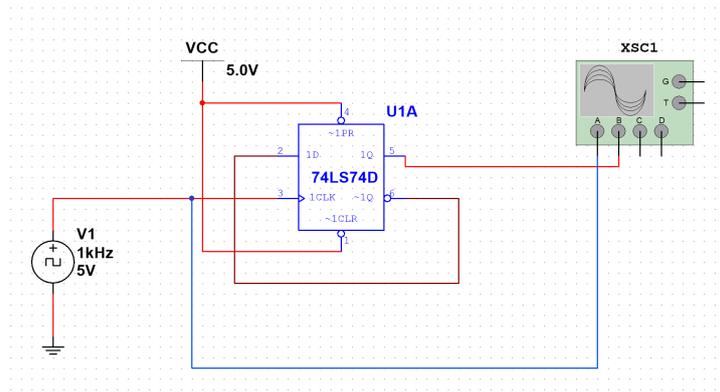


图 9: D 触发器->T' 触发器，示波器仿真结果

其中仿真结果为下，可以发现每个上升沿，电平都会反转，符合预期。

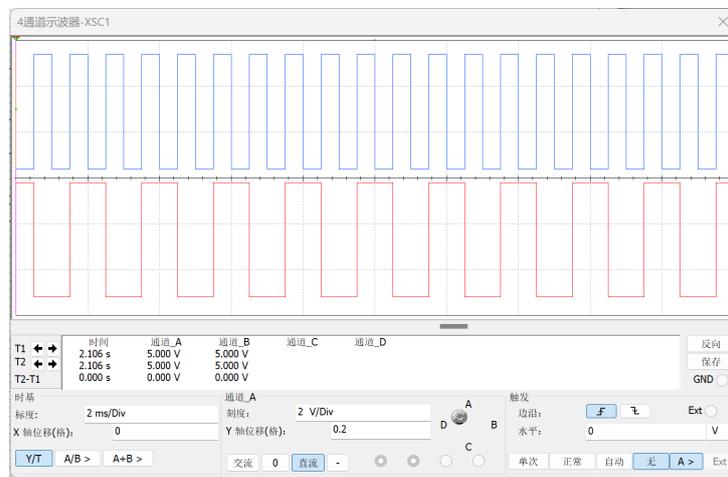


图 10: D 触发器->T' 触发器，示波器仿真结果

实际电路搭建后，示波器结果如下：

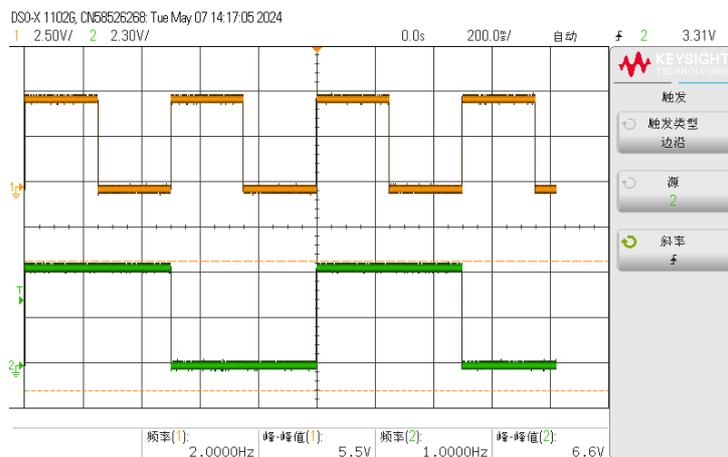


图 11: D 触发器->T' 触发器，示波器结果

- 该 T' 触发器将输入波形进行二分，频率变为原来的一半。

- 由 D 触发器的上升沿进行触发。

4.2.2 JK 触发器转 T' 触发器

将电路图连接如下图：

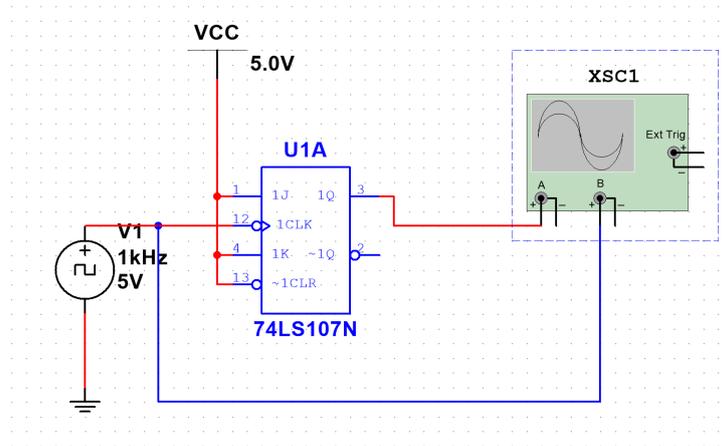


图 12: JK 触发器->T' 触发器，示波器仿真结果

其中仿真结果为下，可以发现每个上升沿，电平都会反转，符合预期。

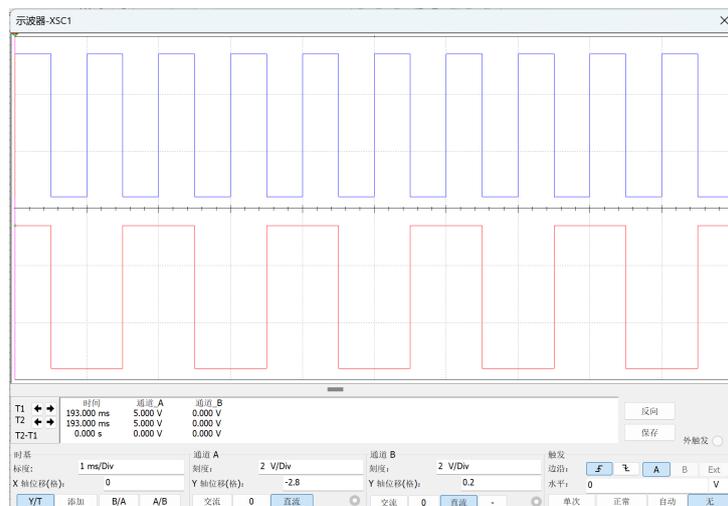


图 13: JK 触发器->T' 触发器，示波器仿真结果

实际电路搭建后，示波器结果如下：

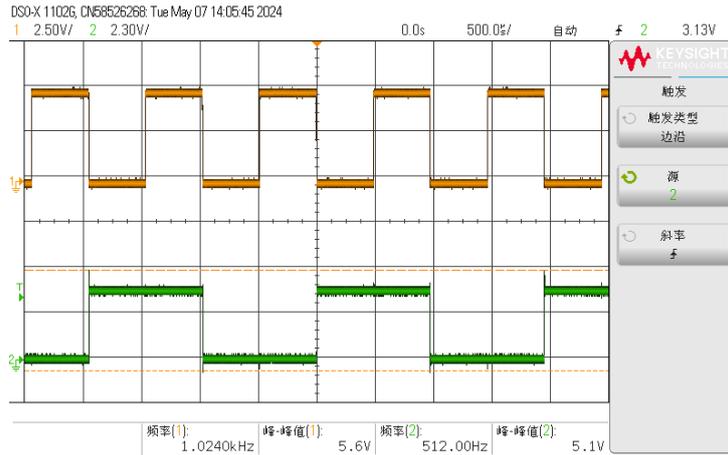


图 14: JK 触发器->T' 触发器, 示波器结果

- 该 T' 触发器将输入波形进行二分, 频率变为原来的一半。
- 由 JK 触发器的下降沿进行触发。

4.2.3 D 接 JK 触发器

对于 JK 触发器而言:

$$Q_{n+1} = J\bar{Q}_n + \bar{K}Q_n \quad (1)$$

对于 D 触发器而言:

$$Q_{n+1} = D \quad (2)$$

$$= J\bar{Q}_n + \bar{K}Q_n \quad (3)$$

所以连接电路图如下, 三个开关分别代表 J、K、CLK:

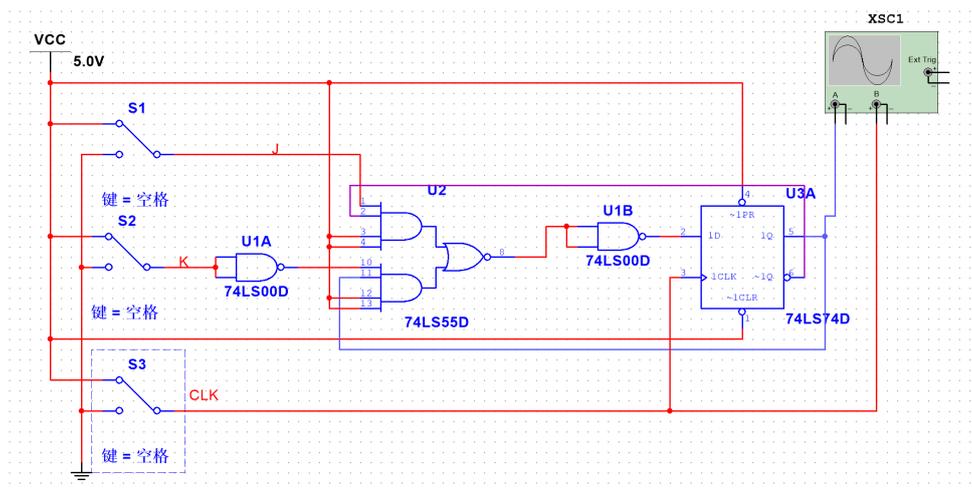


图 15: D 触发器->JK 触发器电路图

验证 JK 触发器功能

$J = 1, K = 0$ 此时 Q 出高电平

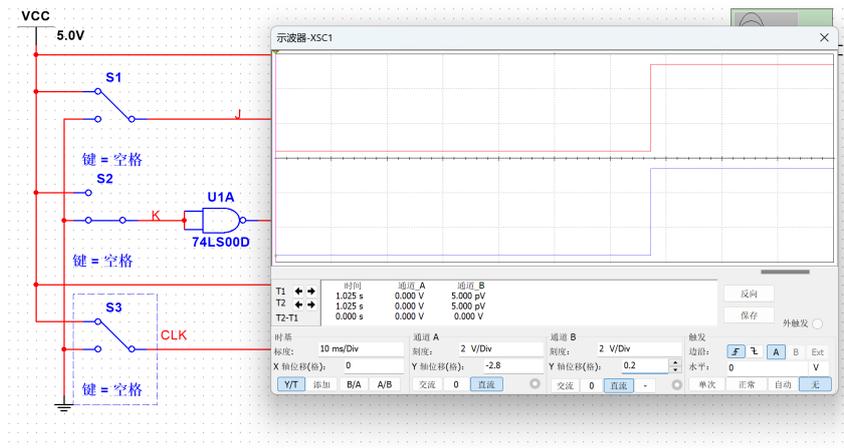


图 16: D 触发器->JK 触发器仿真结果

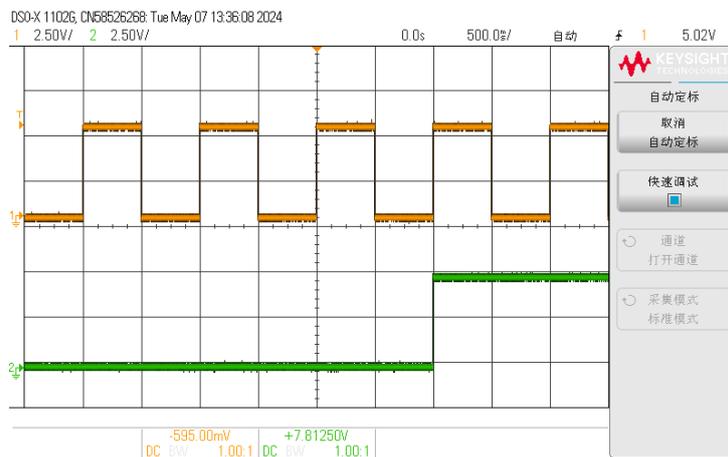


图 17: D 触发器->JK 触发器实际结果

$J = 0, K = 1$ 此时 Q 出低电平

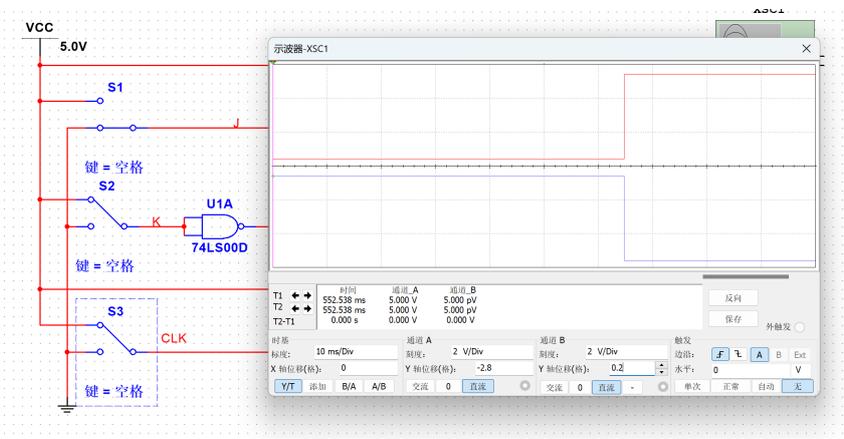


图 18: D 触发器->JK 触发器仿真结果

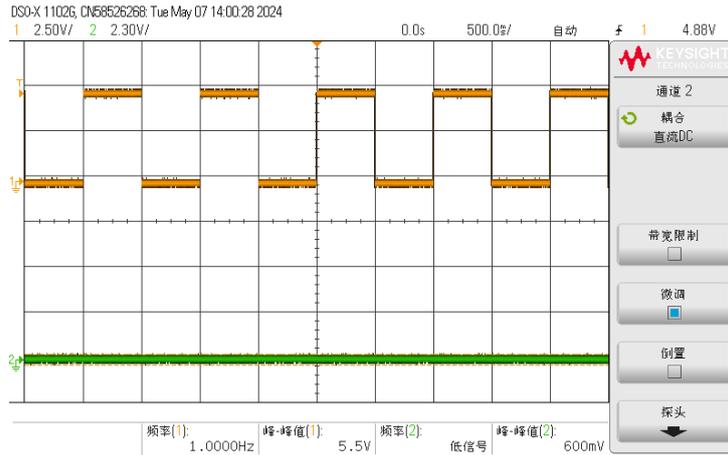


图 19: D 触发器->JK 触发器实际结果

$J = 1, K = 1$ 调整好 J、K 输入电平后，开关 3 由低电平变为高电平，可以看到电平反转

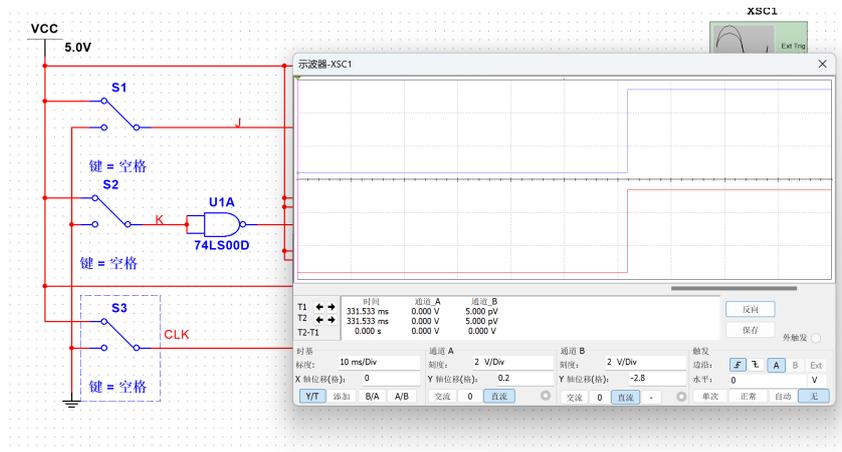


图 20: D 触发器->JK 触发器仿真结果

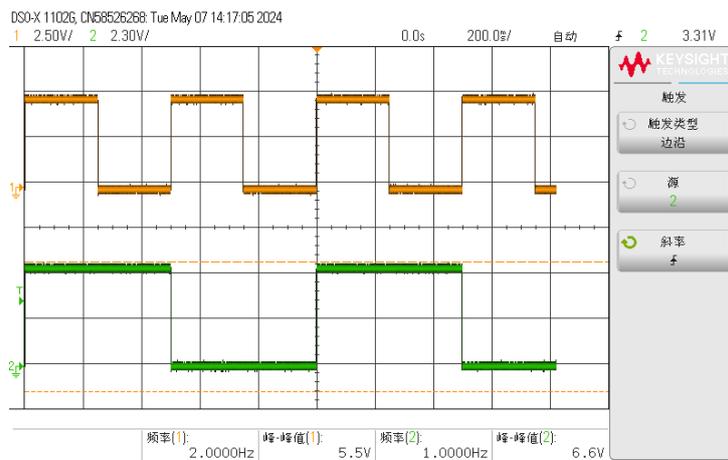


图 21: D 触发器->JK 触发器实际结果

- 由 D 触发器接 JK 触发器，可以看到 JK 触发器的功能正常。

- 由 D 触发器接 JK 触发器，为上升沿触发。

4.3 双 JK 触发器接成单脉冲发生器

电路图连接如下：

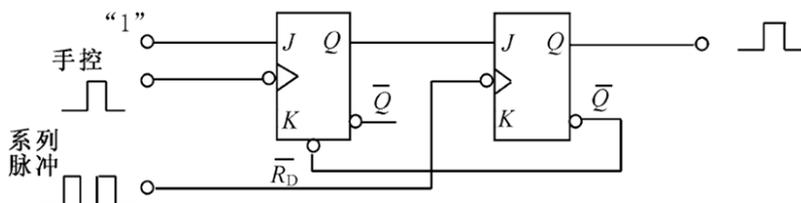


图 22: D 触发器->JK 触发器实际结果

该电路的作用是：当 JK1 接收到一个下降沿以后，使得 JK2 产生一个脉冲时间为 CLK 单周期时长的单脉冲。

系列脉冲接 1Hz，手动控制控制信号，得到静态结果如下：

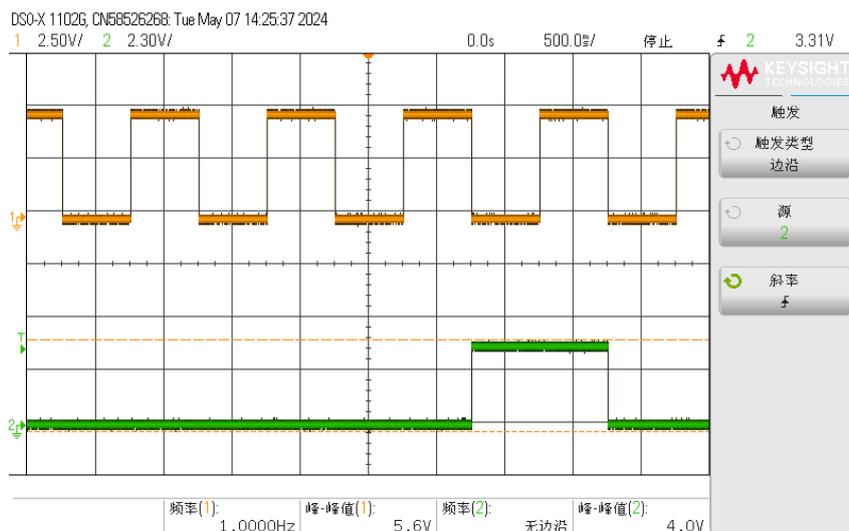


图 23: 单脉冲电路时序图

Q2 保持低电平输出；如果手动控制有下降沿信号输入，输出单脉冲信号。
手动控制时的时序图如下：

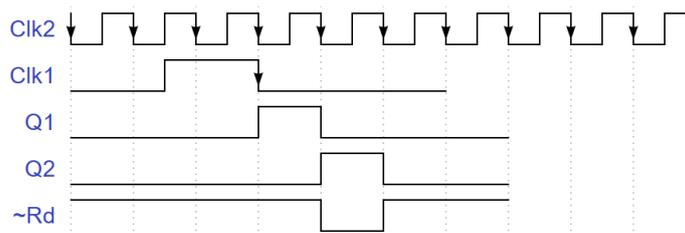


图 24: 单脉冲电路时序图

手动控制下实际结果为（CLK 接 1024Hz 方波信号）：

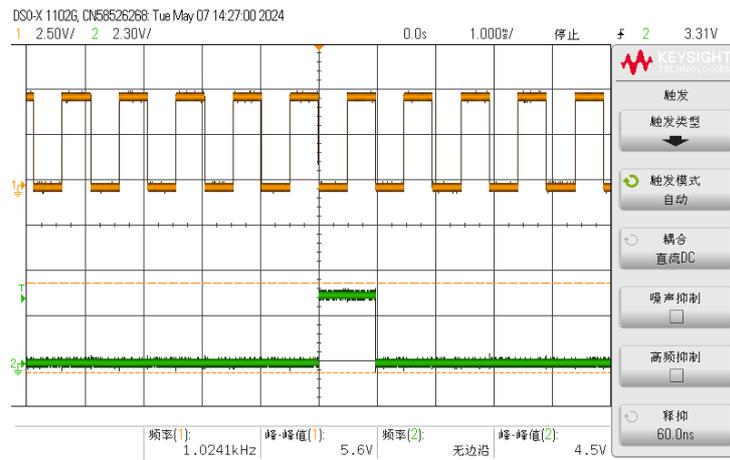


图 25: 单脉冲电路实际结果：CLK 与 Q2 信号

CLK 与手动控制信号均接 1024kHz，得到结果如下：



(a) CLK 与 Q2 信号

(b) Q1 与 Q2 信号

图 26: 两个信号均接 1024Hz 方波信号

- 由双 JK 触发器接成单脉冲发生器，由手动输入下降沿信号触发产生 Q1 的单脉冲信号，Q1 的高电平延续到下一个时钟周期的下降沿。
- 由双 JK 触发器接成单脉冲发生器，由手动输入下降沿信号触发，在一段时间后，Q2 产生的长度为时钟脉冲周期的单脉冲信号。
- 若两个输入信号一致，最后产生占空比为 1/3 并且周期为原来 1/3 的方波信号。
- Q2 的输出信号相比 Q1 推迟一个时钟周期。