

浙江大学实验报告

课程名称: 电路与电子技术实验 II 指导老师: 张伟
实验名称: 数字钟 同组学生: _____

专业: 电子信息工程
姓名: _____
学号: _____
地点: 紫金港东三 406
日期: 2024 年 7 月 2 日

Lab1 数字钟

3220104119 冯静怡

2024 年 7 月 2 日

1 实验目的

1. 了解数字电路的基本组成, 认识数字信号、逻辑电平和逻辑关系。
2. 接触数字电路的调试过程, 对数字电路达到一个大体的感性认识。
3. 掌握数制、码制及相互间的转换。

2 实验内容

1. 检查译码显示电路的功能。
2. 测试 74LS161 计数器的功能。
3. 分别连接 10 进制和 6 进制计数器。
4. 连接 60 进制或 24 进制计数器。

3 实验原理

3.1 数字钟的基本原理

数字中的基本构成如下图所示:

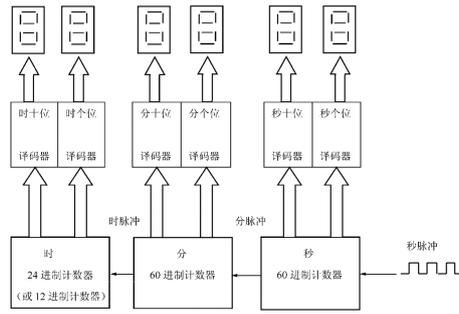
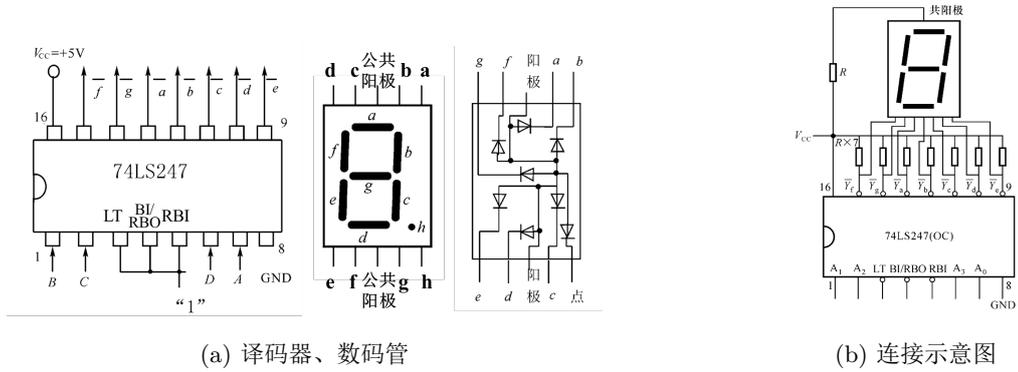


图 1: 数字钟基本原理

图中的译码器和数码管的图例如下图所示:



(a) 译码器、数码管

(b) 连接示意图

图 2: 数码管显示原理

3.2 74LS00 芯片说明

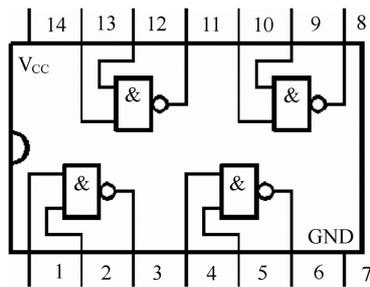


图 3: 74LS00 芯片引脚示意图

3.3 74LS161 芯片说明



(a) 74LS161 芯片引脚示意图

功能表		输入				输出						
CR	LD	CT ₁	CT ₂	CP	D ₀	D ₁	D ₂	D ₃	Q ₀	Q ₁	Q ₂	Q ₃
L	X	X	X	X	X	X	X	X	L	L	L	L
H	L	X	X	↑	d ₀	d ₁	d ₂	d ₃	d ₀	d ₁	d ₂	d ₃
H	H	H	H	↑	X	X	X	X	计			数
H	H	L	X	X	X	X	X	X	保			持
H	H	X	L	X	X	X	X	X	保			持

H—高电平
L—低电平
↑—低到高电平跳变
X—任意
d₀~d₃—D₀~D₃ 静态输入电平

(b) 功能表

图 4: 74LS161 芯片使用说明

4 实验过程与结果

4.1 16 进制计数器



图 5: 161 芯片计数功能引脚连接示意图

1. 按照上图示意连接各个引脚。

- 16、8 连接电源 VCC 和 GND
- 11 14 对应 4 为二进制输出
- 1 接高电平，清零不起作用；7、10 接高电平，起计数作用
- 2 脚接 1Hz 时钟信号

2. 观察实验结果，发现数字钟从 0 9 能够显示，随后在时钟等效为：ABCDEF 过程，灯不亮。数字钟在变为 0 时，15 脚输出使得 LED 点亮，说明此时为 16 进制。

4.2 10 进制计数器

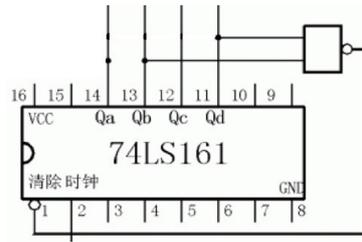


图 6: 10 进制连接示意图

原理：10 的时候是 1010B，通过将 B、D 位连接与非门，到 10 以后，与非门清零，使得 4 位均出 0，计数器重新从 0 开始计时。

时序图

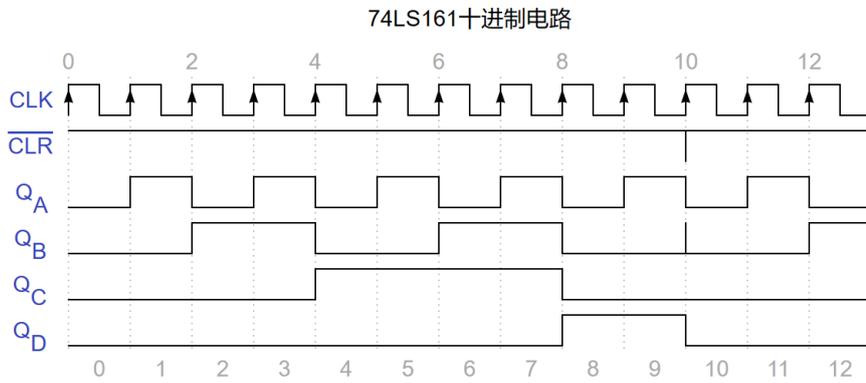


图 7: 10 进制计数器时序图

4.3 6 进制计数器

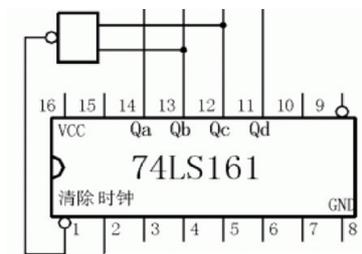


图 8: 6 进制连接示意图

原理：6 的时候是 0110B，通过将 B、C 位连接与非门，到 6 以后，与非门清零，使得 4 位均出 0，计数器重新从 0 开始计时。

时序图

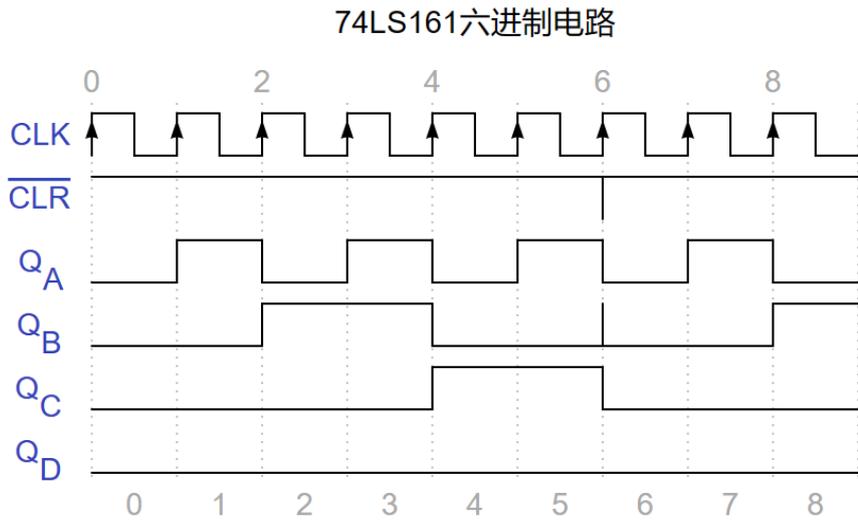


图 9: 6 进制计数器时序图

4.4 60 进制计数器

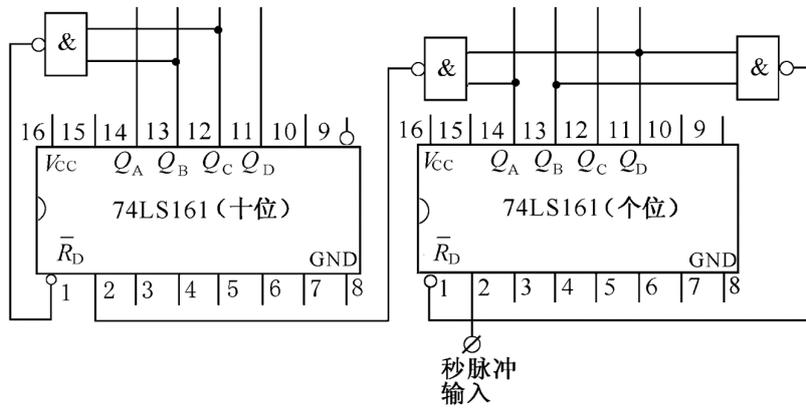


图 10: 60 进制连接示意图

原理：十进制每次进 1，形成上升脉冲，使得 6 进制计数器计数增 1，当计数到 60 时，十进制和 6 进制同步清零，重新从 0 开始计数。

时序图

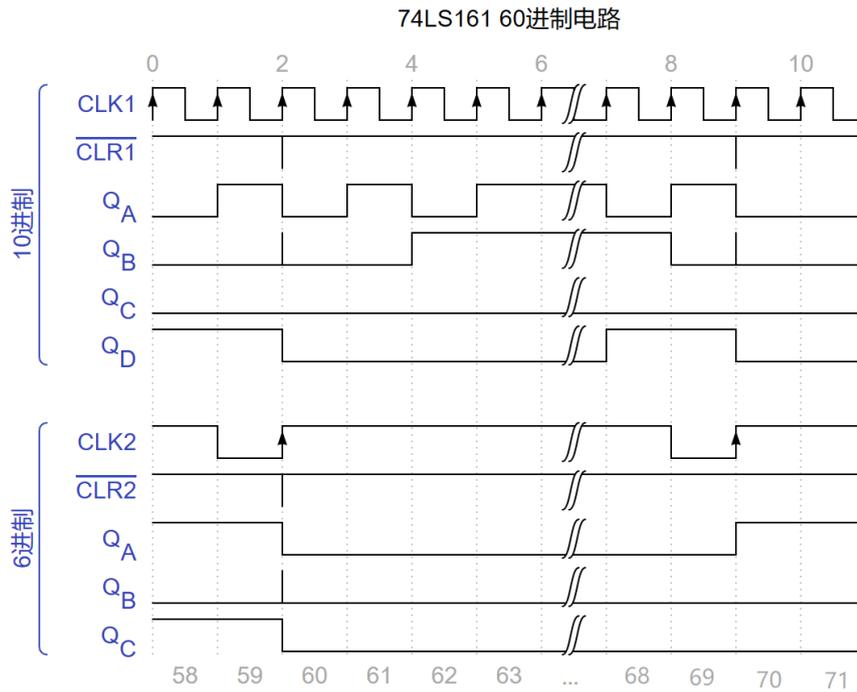


图 11: 60 进制计数器时序图

4.5 24 进制计数器

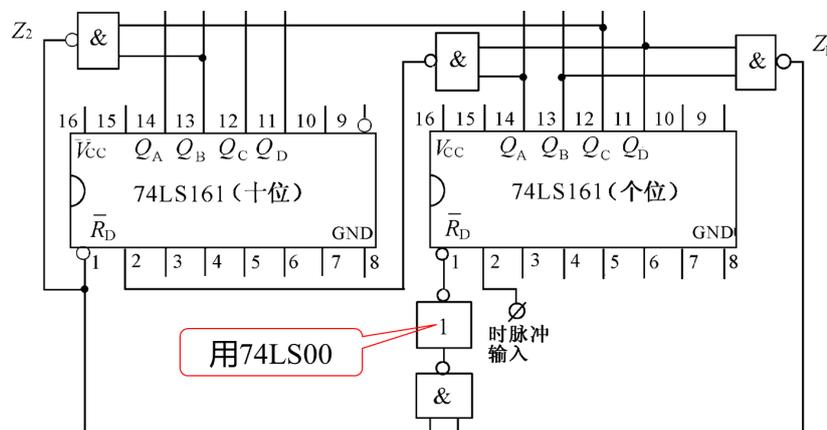


图 12: 24 进制连接示意图

原理：实际上为 2 进制和 10 进制的组合电路。

- 在没到 20 前，右端十进制计数器计数到 10，10 进制计数器清零，2 进制计数器增 1；
- 到 20 之后，十进制计数器，起 4 进制计数器作用：若 Q_{C1} 出 1，且 Q_{b2} 为 1，说明此时为 24， Z_2 出零，两个计时器均清零

时序图

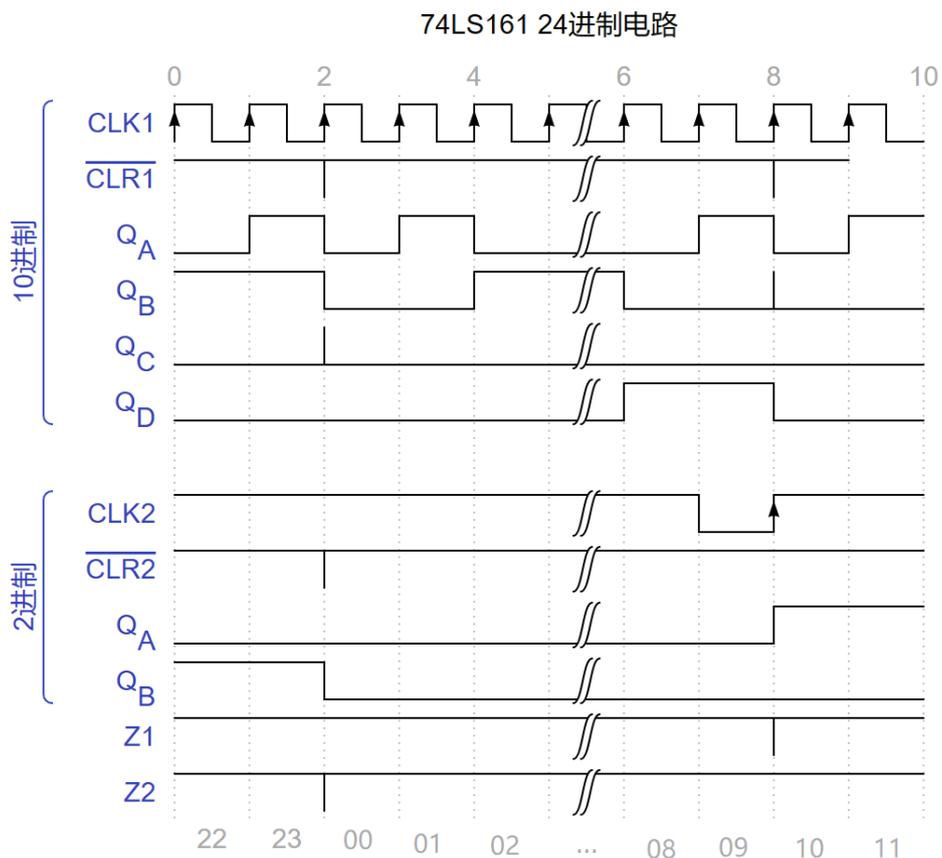


图 13: 24 进制计数器时序图

4.6 实验心得

通过本次实验，我对数字电路的基本组成和工作原理有了一个初步了解。实验中，我成功搭建了不同进制的计数器，并绘制了它们的功能和时序图，加深了对这些电路的印象。在实验过程中，在连线过程中遇到了一些问题，但通过反复排查电路，得到了解决。

有可能出现的问题

- 接线布局等因素引入干扰（接线太长、层叠太多、引脚悬空等）；
- 实验箱的因素（5V 电源稳压性能、时钟边沿特性不佳、芯片距离太远等）；
- 连接 6 进制时，容易出现：计数器输出 3 (0011 B) 时，到 4 (0100 B)，由于芯片对引脚输出清零缓慢，中间态有 (011X B)，导致与非门误判输出 6，使得 6 进制计数器清零，变为 4 进制计数器。