

浙江大学实验报告

专业： 电子信息工程

姓名： _____

学号： _____

课程名称： 电路与电子技术实验 II

指导老师： 张伟

地点： 紫金港东三 406

实验名称： 全加器与奇偶位检验电路

同组学生： _____

日期： 2024 年 7 月 2 日

1 实验目的

1. 掌握组合集成电路元件的功能检查方法。
2. 熟悉全加器和奇偶位判断电路的工作原理。
3. 掌握组合逻辑电路的功能测试方法及设计方法。

2 实验内容

1. 测试与非门 74LS00 和与或非门 74LS55 的逻辑功能。
2. 用与非门 74LS00 和与或非门 74LS55 设计一个全加器电路，并进行功能测试。
3. 用与非门 74LS00 和与或非门 74LS55 设计四位奇偶位判断电路，并进行功能测试。

3 实验准备

1. 写出与非门 74LS00 和与或非门 74LS55 的逻辑功能检查方法。
2. 用与非门 74LS00 和与或非门 74LS55 设计一个全加器电路，画出电路图。
3. 用与非门 74LS00 和与或非门 74LS55 设计四位奇偶位判断电路，画出电路图。

4 实验原理

4.1 74LS55 与或非门

通过 74LS55 与或非门，可以连接成异或门；亦可以连接成同或门。

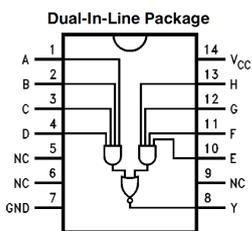


图 1: 74LS55 与或非门

同或门

$$Y = \overline{A\bar{B}} + \overline{\bar{A}B} = \overline{A \oplus B}$$

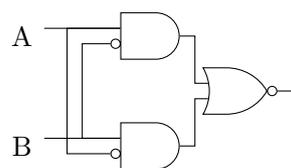


图 2: 同或门连接示意图

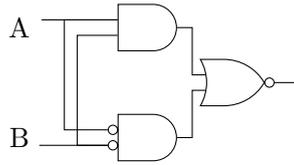


图 3: 异或门连接示意图

异或门

$$Y = \overline{AB} + \overline{\overline{A}\overline{B}} = A \oplus B$$

4.2 全加器

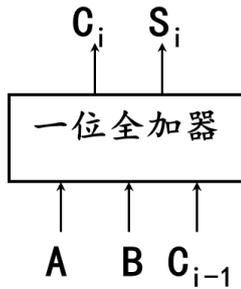


图 4: 全加器示意图

Index	A	B	C_{i-1}	S_i	C_i
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

图 5: 全加器真值表

绘制卡诺图 卡诺图的显示结果如下:

S_i		A, C_{i-1}			
	B	00	01	11	10
0		0	1	0	1
1		1	0	1	0

C_i		A, C_{i-1}			
	B	00	01	11	10
0		0	0	1	0
1		0	1	1	1

逻辑表达式 逻辑表达式如下:

$$\begin{aligned}
 S_i &= A\bar{B}\bar{C}_{i-1} + \bar{A}B\bar{C}_{i-1} + \bar{A}B\bar{C}_{i-1} + ABC_{i-1} \\
 &= (A\bar{B} + \bar{A}B)\bar{C}_{i-1} + (AB + \bar{A}\bar{B})C_{i-1} \\
 &= (A \oplus B) \oplus C_{i-1} \\
 C_i &= AB + \bar{A}C_{i-1} + \bar{B}C_{i-1} = AB + (A \oplus B)C_{i-1}
 \end{aligned}$$

电路连接

$$S'_i = A \oplus B$$

$$S_i = S'_i \oplus C_{i-1} = \bar{S}'_i C_{i-1} + S'_i \bar{C}_{i-1}$$

$$C_i = \overline{\bar{A}\bar{B}} + (A \oplus B)\bar{C}_{i-1}$$

$$= \overline{\bar{A}\bar{B}} + S'_i \bar{C}_{i-1}$$

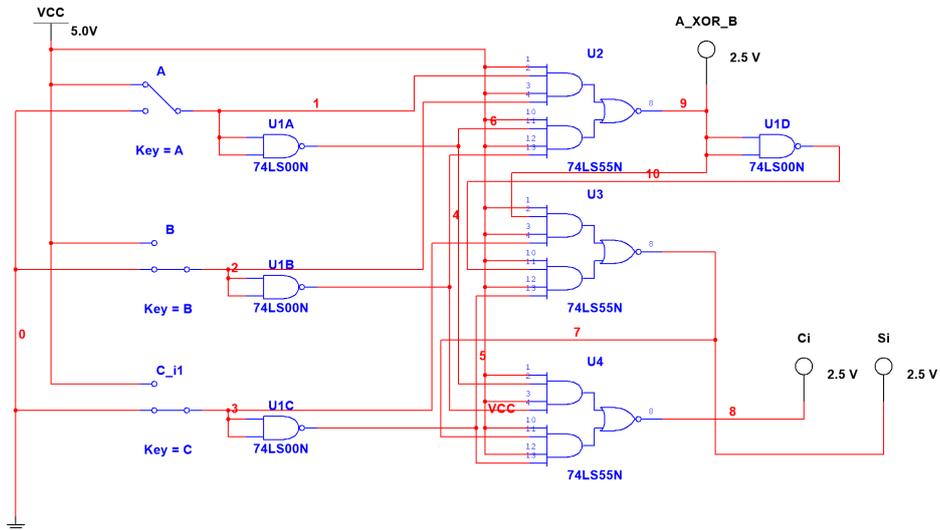


图 6: 全加器电路连接示意图

4.3 奇偶判断电路

序号	输入				输出
	A	B	C	D	
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	0

卡诺图结果如下:

		B, D			
		00	01	11	10
A, C	00	0	1	0	1
	01	1	0	1	0
	11	0	1	0	1
	10	1	0	1	0

逻辑表达式

$$Z = A \oplus B \oplus C \oplus D = (A \oplus B) \oplus (C \oplus D)$$

5.2 全加器连接

1. 按照理论中的全加器电路图连接，其中芯片中多余引脚可以悬空；
2. 按照真值表测试输出结果：

Index	A	B	C_{i-1}	S_i	C_i
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

3. 测试结果符合预期。可见悬空引脚在此实验中受到的干扰很小，可视为高电平，不会影响输出结果。

5.3 奇偶检验电路

1. 按照理论中的全加器电路图连接，其中芯片中多余引脚可以悬空；
2. 根据真值表测试输出结果。

序号	输入				输出
	A	B	C	D	Z
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	0

3. 测试结果符合预期。

6 实验感想

实验中碰到的问题 实验中，一开始的结果并不符合实验预期，怀疑悬空的引脚受到了外界干扰。后检查电路发现，是有电线连接错位置，导致最后结果有误。

实验感想 数字电路的实验虽然连线较多，但是由于逻辑简单，电路中的电平只有高/低之分，因此结果比较理想。本次实验也教会了我使用与非门作非门、与或非门作异或门等使用方法，并且学会了使用 74LS00,74LS55 芯片，为日后搭建更为复杂的数字电路奠定了基础。